

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H05F 3/00 (2006.01)

H01L 23/60 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200410007203. X

[45] 授权公告日 2007 年 7 月 4 日

[11] 授权公告号 CN 1324930C

[22] 申请日 2004. 2. 27

[21] 申请号 200410007203. X

[73] 专利权人 联华电子股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 柯明道 李健铭 陈东旸

[56] 参考文献

US6552406B1 2003. 4. 22

CN1344431A 2002. 4. 10

CN1365220A 2002. 8. 21

审查员 杜江峰

[74] 专利代理机构 北京市柳沈律师事务所

代理人 王志森 黄小临

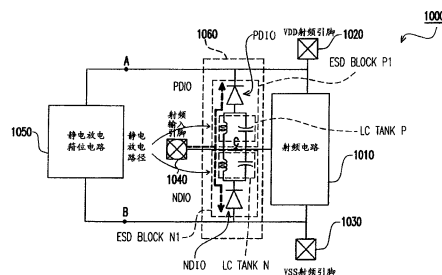
权利要求书 4 页 说明书 20 页 附图 17 页

## [54] 发明名称

适用于射频集成电路的静电放电防护电路

## [57] 摘要

一种结合单一或多个并联电感及电容(也称为电感电容式振荡电路)以避免静电放电电路的寄生电容所造成的功率损耗的静电放电保护电路设计。所说明的第一设计结合一电感电容式振荡电路结构。第二设计包括两电感电容式振荡电路结构。能够扩展这些结构以形成利用 n 级电感电容式振荡电路叠置而成的静电放电保护电路结构。所说明的最后设计是通过叠置第一设计所形成的静电放电保护电路。因为能够设计电感电容式振荡电路的参数以便在所需的操作频率下谐振,所以这些设计能够避免静电放电的寄生电容所造成的功率增益的损耗。



1. 一种适用于一射频集成电路的静电放电防护电路, 该射频集成电路包括一个具有一 VDD 电压射频引脚、一 VSS 射频引脚以及一射频输入引脚的射频电路, 该静电放电防护电路包括:

一静电放电箝位电路, 该静电放电箝位电路包括两个端, 其中一第一端与该 VDD 电压射频引脚连接, 并且一第二端与该 VSS 射频引脚连接; 以及

一电感电容式振荡电路结构, 该电感电容式振荡电路结构耦合在该静电放电箝位电路的该两个端之间, 并且位于该射频电路与该射频输入引脚之间, 其中该电感电容式振荡电路结构包括串联连接在该静电放电箝位电路的该第一端与该射频输入引脚之间的一第一二极管及一第一电感电容式振荡电路, 以及串联连接在该静电放电箝位电路的该第二端与该射频输入引脚之间的一第二二极管及一第二电感电容式振荡电路。

2. 如权利要求 1 所述的静电放电防护电路, 其中该第一二极管的一阴极端与该静电放电箝位电路的该第一端耦合并且该第一二极管的一阳极端与该第一电感电容式振荡电路耦合, 而该第二二极管的一阴极端与该第二电感电容式振荡电路耦合并且该第二二极管的一阳极端与该静电放电箝位电路的该第二端耦合。

3. 如权利要求 2 所述的静电放电防护电路, 其中该电感电容式振荡电路结构包括彼此并联连接的一电感器及一电容器。

4. 如权利要求 1 所述的静电放电防护电路, 其中该第一二极管的一阴极端与该第一电感电容式振荡电路耦合并且该第一二极管的一阳极端与一个位于该射频电路与该射频输入引脚之间的一端耦合, 而该第二二极管的一阴极端与位于该射频电路与该射频输入引脚之间的该端耦合并且该第二二极管的一阳极端与该第二电感电容式振荡电路耦合。

5. 如权利要求 4 所述的静电放电防护电路, 其中该电感电容式振荡电路结构包括彼此并联连接的一电感器及一电容器。

6. 一种适用于一射频集成电路的静电放电防护电路, 该射频集成电路包括一个具有一 VDD 电压射频引脚、一 VSS 射频引脚以及一射频输入引脚的射频电路, 该静电放电防护电路包括:

一静电放电箝位电路, 该静电放电箝位电路包括两个端, 其中一第一

端与该 VDD 电压射频引脚连接, 并且一第二端与该 VSS 射频引脚连接; 以及

一电感电容式振荡电路结构, 该电感电容式振荡电路结构耦合在该静电放电箝位电路的该两个端之间, 并且位于该射频电路与该射频输入引脚之间, 其中该电感电容式振荡电路结构包括一个位于该静电放电箝位电路的该第一端与该射频输入引脚之间的第一静电放电单元, 以及一个位于该静电放电箝位电路的该第二端与该射频输入引脚之间的第二静电放电单元。

7. 如权利要求 6 所述的静电放电防护电路, 其中该第一静电放电单元包括串联连接的一个第一二极管及两个第一电感电容式振荡电路, 并且该第二静电放电单元包括一个第二二极管及两个第二电感电容式振荡电路。

8. 如权利要求 7 所述的静电放电防护电路, 其中该第一二极管的一阴极端与该静电放电箝位电路的该第一端耦合并且该第一二极管的一阳极端与该第一电感电容式振荡电路的一端耦合, 而该第二二极管的一阴极端与该第二电感电容式振荡电路的一端耦合并且该第二二极管的一阳极端与该静电放电箝位电路的该第二端耦合。

9. 如权利要求 8 所述的静电放电防护电路, 其中该第一及第二电感电容式振荡电路的每一个都包括彼此并联连接的一电感器及一电容器。

10. 如权利要求 7 所述的静电放电防护电路, 其中该第一二极管的一阴极端与该第一电感电容式振荡电路的一端耦合并且该第一二极管的一阳极端与一个位于该射频电路与该射频输入引脚之间的一端耦合, 而该第二二极管的一阴极端与位于该射频电路与该射频输入引脚之间的该端耦合并且该第二二极管的一阳极端与该第二电感电容式振荡电路的一端耦合。

11. 如权利要求 10 所述的静电放电防护电路, 其中该第一及第二电感电容式振荡电路的每一个都包括彼此并联连接的一电感器及一电容器。

12. 如权利要求 6 所述的静电放电防护电路, 其中该第一静电放电单元包括串联连接的一个第一二极管及多个第一电感电容式振荡电路, 并且该第二静电放电单元包括一个第二二极管及多个第二电感电容式振荡电路。

13. 如权利要求 12 所述的静电放电防护电路, 其中该第一二极管的一阴极端与该静电放电箝位电路的该第一端耦合并且该第一二极管的一阳极端与该第一电感电容式振荡电路的一端耦合, 而该第二二极管的一阴极端与该第二电感电容式振荡电路的一端耦合并且该第二二极管的一阳极端与该静电放电箝位电路的该第二端耦合。

14. 如权利要求 13 所述的静电放电防护电路, 其中该第一及第二电感电容式振荡电路的每一个都包括彼此并联连接的一电感器及一电容器。

15. 如权利要求 6 所述的静电放电防护电路, 其中该第一二极管的一阴极端与该第一电感电容式振荡电路的一端耦合并且该第一二极管的一阳极端与一个位于该射频电路与该射频输入引脚之间的一端耦合, 而该第二二极管的一阴极端与位于该射频电路与该射频输入引脚之间的该端耦合并且该第二二极管的一阳极端与该第二电感电容式振荡电路的一端耦合。

16. 如权利要求 15 所述的静电放电防护电路, 其中该第一及第二电感电容式振荡电路的每一个都包括彼此并联连接的一电感器及一电容器。

17. 一种适用于一射频集成电路的静电放电防护电路, 该射频集成电路包括一个具有一 VDD 电压射频引脚、一 VSS 射频引脚以及一射频输入引脚的射频电路, 该静电放电防护电路包括:

一静电放电箝位电路, 该静电放电箝位电路包括两个端, 其中一第一端与该 VDD 电压射频引脚连接, 并且一第二端与该 VSS 射频引脚连接; 以及

一电感电容式振荡电路结构, 该电感电容式振荡电路结构耦合在该静电放电箝位电路的该两个端之间, 并且位于该射频电路与该射频输入引脚之间, 其中该电感电容式振荡电路结构包括串联连接在该静电放电箝位电路的该第一端与该射频输入引脚之间的一第一二极管、一第一电感电容式振荡电路以及一第一静电放电单元, 以及串联连接在该静电放电箝位电路的该第二端与该射频输入引脚之间的一第二二极管、一第二电感电容式振荡电路以及一第二静电放电单元。

18. 如权利要求 17 所述的静电放电防护电路, 其中该第一静电放电单元包括串联连接的一第三二极管及一第三电感电容式振荡电路。

19. 如权利要求 18 所述的静电放电防护电路, 其中该第三二极管的一阴极端与该静电放电箝位电路的该第一端耦合并且该第三二极管的一阳极端与该第三电感电容式振荡电路耦合。

20. 如权利要求 18 所述的静电放电防护电路, 其中该第三电感电容式振荡电路包括彼此并联连接的一电感器及一电容器。

21. 如权利要求 18 所述的静电放电防护电路, 其中该第三二极管的一阴极端与该第三电感电容式振荡电路耦合并且该第三二极管的一阳极端与该第一电感电容式振荡电路耦合。

22. 如权利要求 21 所述的静电放电防护电路, 其中该第三电感电容式振荡电路包括彼此并联连接的一电感器及一电容器。

23. 如权利要求 17 所述的静电放电防护电路, 其中该第二静电放电单元包括串联连接的一第四二极管及一第四电感电容式振荡电路。

24. 如权利要求 23 所述的静电放电防护电路, 其中该第四二极管的一阴极端与该第四电感电容式振荡电路耦合并且该第四二极管的一阳极端与该静电放电箝位电路的第二端耦合。

25. 如权利要求 23 所述的静电放电防护电路, 其中该第四电感电容式振荡电路包括彼此并联连接的一电感器及一电容器。

26. 如权利要求 23 所述的静电放电防护电路, 其中该第四二极管的一阴极端与该第二电感电容式振荡电路耦合并且该第四二极管的一阳极端与该第四电感电容式振荡电路耦合。

27. 如权利要求 26 所述的静电放电防护电路, 其中该第四电感电容式振荡电路包括彼此并联连接的一电感器及一电容器。

28. 如权利要求 17 所述的静电放电防护电路, 其中该第一及第二电感电容式振荡电路的每一个都包括彼此并联连接的一电感器及一电容器。

## 适用于射频集成电路的静电放电防护电路

## 技术领域

本发明有关于一种静电放电保护电路，且特别是有关于一种可使用于射频(radio frequency, RF)电路系统作为静电放电保护用途的静电放电保护电路。

## 背景技术

静电放电是一种当集成电路(integrated circuit, IC)是浮置状态时由集成电路外部至内部的高能转移暂态过程。静电放电保护电路将构成于集成电路内部以抵挡这种破坏电流。对于人体模型(HBM)整个放电过程历时约1000纳秒(ns)。除了人体模型(HBM)以外，也有充电元件模型(CDM)以及机械模型(MM)。在这种静电放电期间将转移数百伏特的静电电荷。这种大小的电压转移将使输入级的氧化层栅极击穿并使集成电路变成无法正常操作。因为氧化层栅极的厚度随着制造工艺过程的进展而持续变小，所以改善静电放电保护电路的设计变得极为重要。

传统的静电放电保护设计是适合数字集成电路的两级式保护结构，如图1所示。在输入静电放电保护电路的主要级10与第二级20之间，将加入电阻器15以限制静电放电电流经由短沟道N沟道金属氧化物半导体(NMOS)25流入第二级20。电阻器15的电阻值是依据主要级10的静电放电箝位元件的导通电压以及第二级20的短沟道N沟道金属氧化物半导体(NMOS)25的电流 $I_{t2}$ (第二击穿电流)来决定。这种两级式静电放电保护设计能够为数字输入引脚提供高静电放电电平保护。然而，上述静电放电箝位元件的大串联电阻及大接面电容将对输入信号产生较长的电阻电容时间延迟。因此，这种设计不适合模拟引脚，特别是对于射频信号应用。

由于高频应用的特性，所以静电放电保护元件的寄生电容将降低射频电路的功率增益效能。为了解决这个问题，因此在先技术尝试最小化静电放电保护元件的面积以减少静电放电保护元件的寄生电容。然而，这种解决方式也降低静电放电保护能力，所以设计上的困难之处在于如何最小化静电放电

箝位元件的寄生电容对于射频电路的影响，并可以承受足够高的静电放电的轰击 (Zapping)。

已经有一些保护电路被提出来实现上述目的，如以下所列举。

#### 具有 $V_{DD}$ -至- $V_{SS}$ 电源线箝位电路的反向偏压二极管

为了降低至射频电路输入引脚的负载电容，因此电路中的二极管将设计为具有小元件尺寸。具有小元件尺寸的 NDIO (PDIO) 二极管在 PS 模式 (ND 模式) 静电放电 (如图 2 所示) 下操作于接面击穿情况以排放静电放电电流。典型上，这个过程只能提供低电平的静电放电保护。为了避免上述小型二极管于 PS 模式及 ND 模式静电放电期间在击穿情况下操作，因而限制整个电路的静电放电保护电平，因此将在电源线 (power rails) 之间插入能够快速导通有效的静电放电箝位电路以明显地提升总静电放电保护电平。上述的静电放电防护电路结构表示于图 3。

当 NS 模式 (PD 模式) 静电放电施加至射频输入引脚时，上述 NDIO (PDIO) 二极管将在正向偏压情况下操作以排放静电放电电流。与在反向偏压击穿情况下操作的二极管相比较，在正向偏压情况下操作的二极管能够承受非常高的静电放电电平。当 PS 模式或 ND 模式静电放电施加至射频输入引脚 400 时，将使用以电阻电容为基础的静电放电检测电路 30 来触发 MNESD 元件。在 PS 模式及 ND 模式静电放电下，这种射频静电放电保护设计的静电放电电流路径分别以图 4 及图 5 的虚线  $I_{ESD}$  来表示。因为处于 PS 模式静电放电的 NDIO 二极管并未在击穿情况下操作，所以将经由正向偏压的 PDIO 二极管以及位于  $V_{DD}/V_{SS}$  电源线之间且导通的 MNESD 元件来旁通静电放电电流。同样地，ND 模式静电放电电流将利用在正向偏压情况下操作的 NDIO 二极管以及位于  $V_{DD}/V_{SS}$  电源线之间且导通的 MNESD 元件来放电，如图 5 的虚线所示。上述 MNESD 元件特别设计为具有较大元件尺寸以承受高电平静电放电。虽然上述大尺寸 MNESD 元件具有较大接面电容，但是该电容并未有助于射频输入引脚 400。利用这种静电放电保护设计，射频输入引脚能够在上述四种模式的静电放电下承受非常高的静电放电电平，但是只适用与射频输入引脚 400 连接的小型二极管。这是因为必须降低由静电放电保护元件至射频输入引脚 400 所产生的负载电容。

#### 使用电感器作为静电放电元件

Leuven 大学提出有关具有电感器及  $V_{DD}$ -至- $V_{SS}$  双重叠置二极管以防止静

电放电破坏的 LNA 电路论文。上述电感器是金属制低通无源元件并且适合于静电放电保护元件。然而，因为上述电感器由输入端连接至接地，所以将导致直接由输入端至接地的直流漏电。因此，其需要与一电容器串联耦合以阻挡输入引脚及输入栅极。上述电感器实际上将用以保护上述串联电容器而非输入氧化层栅极。

### 适合高速集成电路的分布式静电放电保护元件

图 6 及图 8 表示由史丹佛大学 (Stanford) 大学所发明的适合高速集成电路的分布式静电放电保护元件。图 6 表示一级匹配结构 45，而图 8 表示四级匹配结构，其中包括 45a、45b、45c 以及 45d。图 7 表示在一级分布匹配结构之中静电放电寄生电容的史密斯图 (Smith Chart)，而图 9 表示在相同总电容的下四级分布式匹配结构的史密斯图。于图 7，静电放电元件的寄生电容 ( $C_A+C_B$ ) 将造成匹配阻抗自中心点沿史密斯图 (Smith Chart) 圆周的路径到达某一 Y 点。传输线 TL 将该 Y 点的阻抗带到史密斯图 (Smith Chart) 的实数轴。于图 9，寄生电容 ( $C_{4A}+C_{4B}$ ) 横越其由原点沿史密斯图 (Smith Chart) 圆周的路径。传输线 TL4 将该路径带到史密斯图 (Smith Chart) 的实数轴。可应用相同的观念来表示其他的寄生电容 ( $C_{3A}+C_{3B}$ )、( $C_{2A}+C_{2B}$ ) 以及 ( $C_{1A}+C_{1B}$ )。传输线 TL3、TL2 以及 TL1 将其路径带到史密斯图 (Smith Chart) 的实数轴。

$$(C_{1A}+C_{1B}) = (C_{2A}+C_{2B}) = (C_{3A}+C_{3B}) = (C_{4A}+C_{4B})$$

比较图 7 与图 9 可看出在保护电路之中，更多匹配级将使路径的最后位置更接近原点。上述位置到原点的距离与信号功率损耗成反比。因此，有更多级匹配可导致更好的功率增益的情况出现。但是在静电放电事件进行期间将难以在众多分开的静电放电区段之中实现一致的静电放电电流分布。最接近输入引脚的第一静电放电区段总是在导通其他区段以分担电流的前接收大部分的静电放电电流。这将对于第一区段造成损害并且最后降低集成电路的静电放电保护临界值。

### 发明内容

因此，本发明的一目的为提供一种可使用于射频电路系统作为静电放电保护用途的静电放电保护电路。

因此，本发明的一目的为提供一种考虑射频电路系统的功率增益效能以及静电放电电平的静电放电保护电路。



为了实现这些与其他优点以及符合本发明的目的，如同在此所实施及概括说明的，因此本发明提供一种适合十亿赫(10GHz)射频集成电路的静电放电保护电路元件，其能够克服与在先技术技术有关的问题同时提升静电放电保护临界值。本发明所提出的设计是在具有  $V_{DD}$ -至- $V_{SS}$  电源线箝位电路的输入/输出(I/O)端口利用电感电容式振荡电路叠置而成的静电放电保护元件。通过在射频操作频率下谐振可选择电感及电容的适当值，以阻隔静电放电元件的寄生电容对射频信号的影响。

为了实现这些与其他优点以及符合本发明的目的，如同在此所实施及概括说明的，因此本发明提供一种适合射频元件的静电放电防护电路。上述射频元件包括一个具有一  $V_{DD}$  电压射频引脚、一  $V_{SS}$  射频引脚以及一射频输入引脚的射频电路。上述静电放电防护电路包括一静电放电箝位电路以及一电感电容式振荡电路结构。上述静电放电箝位电路包括两个端，其第一端与上述  $V_{DD}$  电压射频引脚连接，而其第二端则与上述  $V_{SS}$  射频引脚连接。上述电感电容式振荡电路结构耦合在上述静电放电箝位电路的两个端之间，并且位于上述射频电路与上述射频输入引脚之间。上述电感电容式振荡电路结构包括串联连接在上述静电放电箝位电路的第一端与上述射频输入引脚之间的第一二极管及第一电感电容式振荡电路，以及串联连接在上述静电放电箝位电路的第二端与上述射频输入引脚之间的第二二极管及第二电感电容式振荡电路。

在另一实施例，在上述静电放电防护电路之中，第一二极管的阴极端与上述静电放电箝位电路的第一端耦合并且第一二极管的阳极端与第一电感电容式振荡电路耦合，而第二二极管的阴极端与第二电感电容式振荡电路耦合并且第二二极管的阳极端与上述静电放电箝位电路的第二端耦合。在另一实施例，在上述静电放电防护电路之中，第一二极管的阴极端与第一电感电容式振荡电路耦合并且第一二极管的阳极端与一个位于上述射频电路与上述射频输入引脚之间的一端耦合，而第二二极管的阴极端与位于上述射频电路与上述射频输入引脚之间的上述端耦合并且第二二极管的阳极端与第二电感电容式振荡电路耦合。

于另一实施例，在上述静电放电防护电路之中，上述电感电容式振荡电路结构包括彼此并联连接的一电感器及一电容器。

为了实现这些与其他优点以及符合本发明的目的，如同在此所实施及概

括说明的, 因此本发明提供一种适合射频元件的静电放电防护电路。上述射频元件包括一个具有一 VDD 电压射频引脚、一 VSS 射频引脚以及一射频输入引脚的射频电路。上述静电放电防护电路包括一静电放电箝位电路以及一电感电容式振荡电路结构。上述静电放电箝位电路包括两个端, 其第一端与上述 VDD 电压射频引脚连接, 而其第二端则与上述 VSS 射频引脚连接。上述电感电容式振荡电路结构耦合在上述静电放电箝位电路的两个端之间, 并且位于上述射频电路与上述射频输入引脚之间, 其中上述电感电容式振荡电路结构包括一个位于上述静电放电箝位电路的第一端与上述射频输入引脚之间的第一静电放电单元, 以及一个位于上述静电放电箝位电路的第二端与上述射频输入引脚之间的第二静电放电单元。

于另一实施例, 在上述静电放电防护电路之中, 第一静电放电单元包括串联连接的一个第一二极管及两个第一电感电容式振荡电路, 而第二静电放电单元则包括一个第二二极管及两个第二电感电容式振荡电路。

在另一实施例, 在上述静电放电防护电路之中, 第一二极管的阴极端与上述静电放电箝位电路的第一端偶合并且第一二极管的阳极端与第一电感电容式振荡电路的一端耦合, 而第二二极管的阴极端与第二电感电容式振荡电路的一端耦合并且第二二极管的阳极端与上述静电放电箝位电路的第二端耦合在另一实施例中, 在上述静电放电防护电路之中, 第一二极管的阴极端与第一电感电容式振荡电路的一端耦合并且第一二极管的阳极端与一个位于上述射频电路与上述射频输入引脚之间的一端耦合, 而第二二极管的阴极端与位于上述射频电路与上述射频输入引脚之间的上述端耦合并且第二二极管的阳极端与第二电感电容式振荡电路一端耦合。

于另一实施例, 在上述静电放电防护电路之中, 第一静电放电单元包括串联连接的一个第一二极管及多个第一电感电容式振荡电路, 而第二静电放电单元则包括一个第二二极管及多个第二电感电容式振荡电路。或者, 第一二极管的阴极端与上述静电放电箝位电路的第一端偶合并且第一二极管的阳极端与第一电感电容式振荡电路的一端耦合, 而第二二极管的阴极端与第二电感电容式振荡电路的一端耦合并且第二二极管的阳极端与上述静电放电箝位电路的第二端耦合。

在另一实施例中, 在上述静电放电防护电路之中, 第一二极管的阴极端与第一电感电容式振荡电路的一端耦合并且第一二极管的阳极端与一个位于

上述射频电路与上述射频输入引脚之间的一端耦合，而第二二极管的阴极端与位于上述射频电路与上述射频输入引脚之间的上述端耦合并且第二二极管的阳极端与第二电感电容式振荡电路的一端耦合。

为了实现这些与其他优点以及符合本发明的目的，如同在此所实施及概括说明的，因此本发明提供一种适合射频元件的静电放电防护电路。上述射频元件包括一个具有一 VDD 电压射频引脚、一 VSS 射频引脚以及一射频输入引脚的射频电路。上述静电放电防护电路包括一静电放电箝位电路以及一电感电容式振荡电路结构。上述静电放电箝位电路包括两个端，其第一端与上述 VDD 电压射频引脚连接，而其第二端则与上述 VSS 射频引脚连接。上述电感电容式振荡电路结构耦合在上述静电放电箝位电路的两个端之间，并且位于上述射频电路与上述射频输入引脚之间。上述电感电容式振荡电路结构包括串联连接在上述静电放电箝位电路的第一端与上述射频输入引脚之间的第一二极管、第一电感电容式振荡电路以及第一静电放电单元，以及串联连接在上述静电放电箝位电路的第二端与上述射频输入引脚之间的第二二极管、第二电感电容式振荡电路以及第二静电放电单元。

于另一实施例，在上述静电放电防护电路之中，第一静电放电单元包括串联连接的第三二极管及第三电感电容式振荡电路。或者，第三二极管的阴极端与上述静电放电箝位电路的第一端耦合并且第三二极管的阳极端与第三电感电容式振荡电路耦合。或者，第三二极管的阴极端与第三电感电容式振荡电路耦合并且第三二极管的阳极端与第一电感电容式振荡电路耦合。于另一实施例，第三电感电容式振荡电路包括彼此并联连接的一电感器及一电容器。

于另一实施例，在上述静电放电防护电路之中，第二静电放电单元包括串联连接的第四二极管及第四电感电容式振荡电路。或者，第四二极管的阴极端与第四电感电容式振荡电路耦合并且第四二极管的阳极端与上述静电放电箝位电路的第二端耦合。或者，第四二极管的阴极端与第二电感电容式振荡电路耦合并且第四二极管的阳极端与第四电感电容式振荡电路耦合。于另一实施例，第四电感电容式振荡电路包括彼此并联连接的一电感器及一电容器。

附图说明

为了让本发明的上述和其他目的、特征、和优点能更明显易懂，下文特举其较佳实施例，并配合附图，作详细说明如下：

图 1 是适合数字集成电路的一种具有两级式保护结构的传统静电放电保护设计的单元图。

图 2 表示集成电路的输入/输出引脚在遭受静电放电轰击 (Zapping) 时的四种可能的连接方式，包括 PS (Positive-to-Vss) 模式、NS (Negative-to-Vss) 模式、PD (Positive-to-Vdd) 模式、以及 ND (Negative-to-Vdd) 模式。

图 3 是适合射频电路的另一种具有一级保护结构的传统静电放电保护设计的单元图。

图 4 及图 5 表示在 PS 模式及 ND 模式静电放电下图 3 的射频静电放电保护设计的静电放电电流路径。

图 6 及图 8 表示由史丹佛大学 (Stanford) 大学所发明的适合高速集成电路的分布式静电放电保护元件。

图 7 表示图 6 的静电放电 (CA+CB) 的寄生电容横越其由原点沿史密斯图 (Smith Chart) 圆周的路径。

图 9 表示图 8 的静电放电防护元件的寄生电容横越其由原点沿史密斯图 (Smith Chart) 圆周的路径。

图 10 至图 17 是本发明的较佳实施例的静电放电保护设计及其静电放电电流路径的单元图。

#### 附图标记说明

- 10 静电放电保护电路的主要级
- 15 电阻器
- 20 静电放电保护电路的第二级
- 25 短沟道 N 沟道金属氧化物半导体 (NMOS)
- 30 静电放电检测电路
- 45 一级匹配结构
- 45a 四级匹配结构
- 45b 四级匹配结构
- 45c 四级匹配结构
- 45d 四级匹配结构
- 400 射频输入引脚

- 
- 1000 射频电路元件
  - 1010 射频电路
  - 1020 VDD 射频引脚
  - 1030 VSS 射频引脚
  - 1040 射频输入引脚
  - 1050 静电放电箝位电路
  - 1060 电感电容式振荡电路结构
  - 1100 射频电路元件
  - 1110 射频电路
  - 1120 VDD 射频引脚
  - 1130 VSS 射频引脚
  - 1140 射频输入引脚
  - 1150 静电放电箝位电路
  - 1160 电感电容式振荡电路结构
  - 1200 射频电路元件
  - 1210 射频电路
  - 1220 VDD 射频引脚
  - 1230 VSS 射频引脚
  - 1240 射频输入引脚
  - 1250 静电放电箝位电路
  - 1260 电感电容式振荡电路结构
  - 1260SLCP 第一叠置的电感电容式振荡电路单元
  - 1260SLCN 第二叠置的电感电容式振荡电路单元
  - 1300 射频电路元件
  - 1310 射频电路
  - 1320 VDD 射频引脚
  - 1330 VSS 射频引脚
  - 1340 射频输入引脚
  - 1350 静电放电箝位电路
  - 1360 电感电容式振荡电路结构
  - 1360SLCP 第一叠置的电感电容式振荡电路单元

- 1360SLCN 第二叠置的电感电容式振荡电路单元
- 1400 射频电路元件
- 1410 射频电路
- 1420 VDD 射频引脚
- 1430 VSS 射频引脚
- 1440 射频输入引脚
- 1450 静电放电箝位电路
- 1460 电感电容式振荡电路结构
- 1460SLCP 第一 n 级叠置的电感电容式振荡电路单元
- 1460SLCN 第二 n 级叠置的电感电容式振荡电路单元
- 1500 射频电路元件
- 1510 射频电路
- 1520 VDD 射频引脚
- 1530 VSS 射频引脚
- 1540 射频输入引脚
- 1550 静电放电箝位电路
- 1560 电感电容式振荡电路结构
- 1560SLCP 第一 n 级叠置的电感电容式振荡电路单元
- 1560SLCN 第二 n 级叠置的电感电容式振荡电路单元
- 1600 射频电路元件
- 1610 射频电路
- 1620 VDD 射频引脚
- 1630 VSS 射频引脚
- 1640 射频输入引脚
- 1650 静电放电箝位电路
- 1660 叠置的静电放电单元结构
- 1700 射频电路元件
- 1710 射频电路
- 1720 VDD 射频引脚
- 1730 VSS 射频引脚
- 1740 射频输入引脚

1750 静电放电箝位电路  
 1760 叠置的静电放电单元结构  
 ESD BLOCK N1 第二静电放电单元  
 ESD BLOCK N2 第二静电放电单元  
 ESD BLOCK P1 第一静电放电单元  
 ESD BLOCK P2 第一静电放电单元  
 LC1 电感电容式振荡电路  
 LC2 电感电容式振荡电路  
 LC TANK N 电感电容式振荡电路  
 LC TANK N2 电感电容式振荡电路  
 LC TANK P 电感电容式振荡电路  
 LC TANK P2 电感电容式振荡电路

### 具体实施方式

本发明现在将举其较佳实施例，并参照附图，予以更详细地说明。不同附图中相同的参考数字表示相同或相似的元件。

本发明提供一种静电放电保护电路，其可使用于射频电路系统作为静电放电保护之用。上述静电放电保护电路考虑射频电路系统的功率增益效能以及静电放电电平，并且克服关于在先技术技术的问题，同时提升静电放电保护临界值。本发明所提出的设计是在具有  $V_{DD}$ -至- $V_{SS}$  电源线箝位电路的输入/输出 (I/O) 端口利用一个或多个电感电容式振荡电路叠置而成的静电放电保护元件。通过在射频操作频率下谐振成为开路 (Open Circuit)，以阻隔静电放电元件的寄生电容对射频信号的影响。

例如，将下列公式应用于在每一个单独射频电路的操作频率下谐振，可选择出电感及电容的适当值。

$$j\omega L // \frac{1}{j\omega C} = \infty$$

$$\frac{1}{\frac{1}{j\omega L} + j\omega C} = \infty$$

$$\frac{1}{j\omega L} + j\omega C = 0$$

$$\omega^2 = \frac{1}{LC}$$

$$w = \frac{1}{\sqrt{LC}}$$

利用谐振原理而形成开路 (Open Circuit) 现象, 可以使射频信号见到一无穷大阻抗以阻隔射频信号经由静电放电元件至接地的信号损耗。于上述公式,  $\omega$  代表射频电路的操作频率。电感电容式振荡电路的电感及电容的值也将决定功率增益的损耗, 因此使用模拟工具来选择最佳值。于静电放电状态, 静电放电电流将经由静电放电元件及电感器来放电。上述电感器一般是由最大厚度金属所制成并且是具有低寄生电阻的金属线。因此, 在所提出的设计当中, 上述崭新的电感电容式振荡电路的静电放电防护电路将对于射频电路产生较高电平的静电放电保护。

于下列由图 10 至图 17 的图形当中, 将介绍本发明的几个实施例, 其中包括在具有  $V_{DD}$ -至- $V_{SS}$  电源线箝位电路的输入/输出 (I/O) 端口利用一个或多个电感电容式振荡电路叠置而成的静电放电保护电路。

#### 利用一电感电容式振荡电路结构叠置而成的静电放电防护电路

请参照图 10, 其表示根据本发明的一较佳实施例的具有一个利用电感电容式振荡电路结构 1060 (ESD BLOCK N1 及 ESD BLOCK P1) 叠置而成的静电放电防护电路的射频电路元件 1000。于图 10, 上述射频电路元件 1000 包括一个具有  $V_{DD}$  电压射频引脚 1020、 $V_{SS}$  射频引脚 1030 以及射频输入引脚 1040 的射频电路 1010。在射频电路 1010 与射频输入引脚 1040 之间是上述静电放电防护电路。上述静电放电防护电路包括  $V_{DD}$ -至- $V_{SS}$  电源线箝位电路 1050 以及电感电容式振荡电路结构 1060。电感电容式振荡电路结构 1060 包括两个静电放电单元 ESD BLOCK N1 及 ESD BLOCK P1。

上述 ESD BLOCK N1 及 ESD BLOCK P1 分别包括串联连接的二极管 ND10、二极管 PD10 以及两个电感电容式振荡电路 LC TANK N 及 LC TANK P。上述电感电容式振荡电路 LC TANK N 及 LC TANK P 的每一个包括并联连接的一电感器及一电容器。上述二极管 PD10 包括一个与静电放电箝位电路 1050 的第一端 A 耦合的阴极端以及一个与上述 LC TANK P 耦合的阳极端。上述二极管 ND10 包括一个与上述 LC TANK N 耦合的阴极端以及一个与静电放电箝位电路 1050 的第二端 B 耦合的阳极端。一个位于射频电路 1010 与射频输入引脚 1040 之间的端 C 同时连接至上述电感电容式振荡电路 LC TANK N 及 LC TANK P。

当上述电感电容式振荡电路在射频频率下谐振时, 将有无穷大阻抗, 因



而最小化功率增益的损耗。静电放电电流将经由上述电感器及上述静电放电二极管放电，如图 10 的粗虚线所示。为了避免上述二极管于 PS 模式及 ND 模式静电放电期间在击穿情况下操作，而导致较低的静电放电保护电平，因此将在上述静电放电保护电路之中构成一个位于电源线之间且快速导通的  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1050。这将明显地增加整个静电放电保护能力。

当上述四种静电放电模式其中的一施加在射频输入引脚 1040 时，上述 NDIO 二极管或上述 PDIO 二极管将在正向偏压情况下操作并连同相对应的电感器排放静电放电电流。与在反向偏压击穿情况下操作的二极管相比较，在正向偏压情况下操作的二极管能够承受非常高的静电放电电平。当 PS 模式或 ND 模式静电放电施加在射频输入引脚 1040 时将导通  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1050。因为处于 PS 模式静电放电的 NDIO 二极管并未在击穿情况下操作，所以将经由正向偏压的 PDIO 二极管以及位于  $V_{DD}/V_{SS}$  电源线之间能够快速导通的  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1050 来旁通静电放电电流。同样地，NDIO 二极管及相对应的电感器在正向偏压情况下操作并连同位于  $V_{DD}/V_{SS}$  电源线之间的  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1050 安全地引导 ND 模式静电放电电流。

上述  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1050 特别设计为具有较大元件尺寸以承受高电平静电放电。虽然大尺寸  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1050 具有大接面电容，但是这电容并未有助于射频输入引脚 1040。通过应用这种静电放电保护设计，上述射频输入引脚能够在上述四种静电放电模式(如图 2 所示)当中承受非常高电平的静电放电。因此，通过插入上述电感电容式振荡电路能够明显地避免由上述静电放电保护元件的 PDIO 二极管及 NDIO 二极管至射频输入引脚 1040 所产生的负载电容。因此，射频集成电路的效能将不致于明显地衰减。

图 11 表示根据本发明的另一较佳实施例的具有一个利用电感电容式振荡电路结构 1160(其包括两个静电放电单元 ESD BLOCK N2 及 ESD BLOCK P2)叠置而成的静电放电防护电路的射频电路元件 1100。与图 10 的元件相比较，在此另外的设计当中，电感电容式振荡电路 LC TANK P2 与二极管 PDIO 的位置交换，而电感电容式振荡电路 LC TANK N2 与二极管 NDIO 的位置也交换。于图 11，上述射频电路元件 1100 包括一个具有 VDD 电压射频引脚 1120、VSS 射频引脚 1130 以及射频输入引脚 1140 的射频电路 1110。在射频电路 1110 与射频输入引脚 1140 之间是上述静电放电防护电路。上述静电放电防护电路

包括  $V_{DD-}$  至  $-V_{SS}$  电源线箝位电路 1150 以及电感电容式振荡电路结构 1160。电感电容式振荡电路结构 1160 包括两个静电放电单元 ESD BLOCK N2 及 ESD BLOCK P2。

上述 ESD BLOCK N2 包括电感电容式振荡电路 LC TANK N2 以及二极管 NDIO。上述 ESD BLOCK P2 包括电感电容式振荡电路 LC TANK P2 以及二极管 PDIO。上述两个电感电容式振荡电路以及上述二极管串联连接。上述电感电容式振荡电路 LC TANK N2 及 LC TANK P2 的每一个包括并联连接的一电感器及一电容器。上述二极管 PDIO 包括一个与电感电容式振荡电路 LC TANK P2 耦合的阴极端以及一个与位于射频电路 1110 与射频输入引脚 1140 之间的端 C 连接的阳极端。上述二极管 NDIO 包括一个与位于射频电路 1110 与射频输入引脚 1140 之间的端 C 耦合的阴极端以及一个与电感电容式振荡电路 LC TANK N2 耦合的阳极端。在上述 LC TANK P2 上与连接至上述 PDIO 的一端相对的另一个端与静电放电箝位电路 1150 的第一端 A 连接。在上述 LC TANK N2 上与连接至上述 NDIO 的一端相对的另一个端与静电放电箝位电路 1150 的第二端 B 连接。

当上述电感电容式振荡电路在射频频率下谐振时，将有无穷大阻抗，因而最小化功率增益的损耗。静电放电电流将经由上述电感器及上述静电放电二极管放电，如图 11 的粗虚线所示。为了避免上述二极管于 PS 模式及 ND 模式静电放电期间在击穿情况下操作，而导致较低的静电放电保护电平，因此将在上述静电放电保护电路之中构成一个位于电源线之间且能够快速导通的  $V_{DD-}$  至  $-V_{SS}$  静电放电箝位电路 1150。这将明显地增加整个静电放电保护能力。

上述  $V_{DD-}$  至  $-V_{SS}$  静电放电箝位电路 1150 特别设计为具有较大元件尺寸以承受高电平静电放电。虽然大尺寸  $V_{DD-}$  至  $-V_{SS}$  静电放电箝位电路 1150 具有大接面电容，但是这电容并未有助于射频输入引脚 1140。通过应用这种静电放电保护设计，上述射频输入引脚能够在上述四种静电放电模式(如图 2 所示)当中承受非常高电平的静电放电。因此，通过插入上述电感电容式振荡电路能够明显地避免由上述静电放电保护元件的 PDIO 二极管及 NDIO 二极管至射频输入引脚 1140 所产生的负载电容。因此，射频集成电路的效能将不致于明显地衰减。

#### 利用叠置的电感电容式振荡电路结构叠置而成的静电放电防护电路

为了考虑芯片上所实施的电感器及电容器的寄生效应，因此本发明提供

另一种具有串列叠置的电感电容式振荡电路的电感电容式振荡电路结构以便在谐振下产生较高的阻抗。通过这种实施方式,得以同时考虑射频电路系统的功率增益效能以及静电放电电平。请参照图 12,其表示根据本发明的一较佳实施例的具有一个利用电感电容式振荡电路结构 1260 叠置而成的静电放电防护电路的射频电路元件 1200。于图 12,上述射频电路元件 1200 包括一个具有 VDD 电压射频引脚 1220、VSS 射频引脚 1230 以及射频输入引脚 1240 的射频电路 1210。在射频电路 1210 与射频输入引脚 1240 之间是上述静电放电防护电路。上述静电放电防护电路包括  $V_{DD}$ -至- $V_{SS}$  电源线箝位电路 1250 以及电感电容式振荡电路结构 1260。电感电容式振荡电路结构 1260 包括串联连接的第一叠置的电感电容式振荡电路单元 1260SLCP、静电放电二极管 PDIO、第二叠置的电感电容式振荡电路单元 1260SLCN 以及另一个静电放电二极管 NDIO。每一个叠置的电感电容式振荡电路单元包括至少两个串列叠置在一起的电感电容式振荡电路。上述二极管 PDIO 包括一个与静电放电箝位电路 1250 的第一端 A 耦合的阴极端以及一个与第一叠置的电感电容式振荡电路单元 1260SLCP 耦合的阳极端。上述二极管 NDIO 包括一个与第二叠置的电感电容式振荡电路单元 1260SLCN 耦合的阴极端以及一个与静电放电箝位电路 1250 的第二端 B 耦合的阳极端。一个位于射频电路 1210 与射频输入引脚 1240 之间的端 C 同时连接至第一叠置的电感电容式振荡电路单元 1260SLCP 及第二叠置的电感电容式振荡电路单元 1260SLCN。

如上所述,当上述电感电容式振荡电路在射频电路频率下谐振时将最小化功率增益的损耗。静电放电电流将经由上述电感器及上述静电放电二极管放电,如图 12 的粗虚线所示。为了避免上述二极管于 PS 模式及 ND 模式静电放电期间在击穿情况下操作,而导致较低的静电放电保护电平,因此将在上述静电放电保护电路之中构成一个位于电源线之间且能够快速导通的  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1250。这将明显地增加整个静电放电保护能力。

当上述四种静电放电模式其中的一施加在射频输入引脚 1240 时,上述 NDIO 二极管或上述 PDIO 二极管将在正向偏压情况下操作并连同上述电感器放电静电放电电流。与在反向偏压击穿情况下操作的二极管相比较,在正向偏压情况下操作的二极管能够承受非常高的静电放电电平。当 PS 模式或 ND 模式静电放电施加在射频输入引脚 1240 时将导通  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1250。因为处于 PS 模式静电放电的 NDIO 二极管并未在击穿情况下操作,

所以将经由正向偏压的PDIO二极管以及位于 $V_{DD}/V_{SS}$ 电源线之间且能够快速导通的 $V_{DD}$ -至- $V_{SS}$ 静电放电箝位电路1250来旁通静电放电电流。同样地,上述NDIO二极管及电感器在正向偏压情况下操作并连同位于 $V_{DD}/V_{SS}$ 电源线之间的 $V_{DD}$ -至- $V_{SS}$ 静电放电箝位电路1250安全地引导ND模式静电放电电流。上述 $V_{DD}$ -至- $V_{SS}$ 静电放电箝位电路1250特别设计为具有较大元件尺寸以承受高电平静电放电。虽然大尺寸 $V_{DD}$ -至- $V_{SS}$ 静电放电箝位电路1250具有大接面电容,但是这电容并未有助于射频输入引脚1240。通过应用这种静电放电保护设计,射频输入引脚1240能够在上述四种静电放电模式(图2)当中承受非常高电平的静电放电。因此,通过插入上述电感电容式振荡电路能够明显地避免由上述静电放电保护元件的PDIO二极管及NDIO二极管至射频输入引脚1240所产生的负载电容。因此,射频集成电路的效能将不致于明显地衰减。

请参照图13,其表示根据本发明的另一较佳实施例的具有一个利用电感电容式振荡电路结构1360叠置而成的静电放电防护电路的射频电路元件1300,其中考虑芯片上所实施的电感器及电容器的寄生效应。与图12的元件相比较,在该另外的设计当中,第一叠置的电感电容式振荡电路单元1360SLCP与PDIO二极管的位置交换,而第二叠置的电感电容式振荡电路单元1360SLCN与NDIO二极管的位置也交换。于图13,上述射频电路元件1300包括一个具有VDD电压射频引脚1320、VSS射频引脚1330以及射频输入引脚1340的射频电路1310。在射频电路1310与射频输入引脚1340之间是上述静电放电防护电路。上述静电放电防护电路包括 $V_{DD}$ -至- $V_{SS}$ 电源线箝位电路1350以及电感电容式振荡电路结构1360。电感电容式振荡电路结构1360包括串联连接的第一叠置的电感电容式振荡电路单元1360SLCP以及第二叠置的电感电容式振荡电路单元1360SLCN。每一个叠置的电感电容式振荡电路单元包括至少两个串列叠置在一起的电感电容式振荡电路。上述二极管PDIO包括一个与第一叠置的电感电容式振荡电路单元1360SLCP耦合的阴极端以及一个与位于射频电路1310与射频输入引脚1340之间的端C连接的阳极端。上述二极管NDIO包括一个与位于射频电路1310与射频输入引脚1340之间的端C耦合的阴极端以及一个与第二叠置的电感电容式振荡电路单元1360SLCN耦合的阳极端。在上述第一叠置的电感电容式振荡电路单元1360SLCP上与连接至上述PDIO的一端相对的另一个端与静电放电箝位电路1350的第一端A连接。在上述第二叠置的电感电容式振荡电路单元1360SLCN上与连接至上述NDIO的

一端相对的另一个端与静电放电箝位电路 1350 的第二端 B 连接。

如上所述, 当上述电感电容式振荡电路在射频电路频率下谐振时将最小化功率增益的损耗。静电放电电流将经由上述电感器及上述静电放电二极管放电, 如图 13 所示。为了避免上述二极管于 PS 模式及 ND 模式静电放电期间在击穿情况下操作, 而导致较低的静电放电保护电平, 因此将在上述静电放电保护电路之中构成一个位于电源线之间且能够快速导通的  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1350。这将明显地增加整个静电放电保护能力。

当上述四种静电放电模式其中的一施加在射频输入引脚 1340 时, 上述 NDIO 二极管或上述 PDIO 二极管将在正向偏压情况下操作并连同上述电感器放电静电放电电流。与在反向偏压击穿情况下操作的二极管相比较, 在正向偏压情况下操作的二极管能够承受非常高的静电放电电平。当 PS 模式或 ND 模式静电放电施加在射频输入引脚 1340 时将导通  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1350。因为处于 PS 模式静电放电的 NDIO 二极管并未在击穿情况下操作, 所以将经由正向偏压的 PDIO 二极管以及位于  $V_{DD}/V_{SS}$  电源线之间且能够快速导通的  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1350 来旁通静电放电电流。同样地, 上述 NDIO 二极管及电感器在正向偏压情况下操作并连同位于  $V_{DD}/V_{SS}$  电源线之间的  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1350 安全地引导 ND 模式静电放电电流。上述  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1350 特别设计为具有较大元件尺寸以承受高电平静电放电。虽然大尺寸  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1350 具有大接面电容, 但是这电容并未有助于射频输入引脚 1340。通过应用这种静电放电保护设计, 射频输入引脚 1340 能够在上述四种静电放电模式(图 2)当中承受非常高电平的静电放电。因此, 通过插入上述电感电容式振荡电路能够明显地避免由上述静电放电保护元件的 PDIO 二极管及 NDIO 二极管至射频输入引脚 1340 所产生的负载电容。因此, 射频集成电路的效能将不致于明显地衰减。

如图 14 所示的另外的实施例之中, 提供一种具有串列叠置的  $n$  级电感电容式振荡电路的电感电容式振荡电路结构以便在谐振下产生更高的阻抗。通过这种实施方式, 得以同时考虑射频电路系统的功率增益效能以及静电放电电平。图 14 表示具有一个利用电感电容式振荡电路结构 1460 叠置而成的静电放电防护电路的射频电路元件 1400。上述射频电路元件 1400 包括一个具有  $V_{DD}$  电压射频引脚 1420、 $V_{SS}$  射频引脚 1430 以及射频输入引脚 1440 的射频电路 1410。在射频电路 1410 与射频输入引脚 1440 之间是上述静电放电防

护电路。上述静电放电防护电路包括  $V_{DD}$ -至- $V_{SS}$  电源线箝位电路 1450 以及电感电容式振荡电路结构 1460。电感电容式振荡电路结构 1460 包括串联连接的第一  $n$  级叠置的电感电容式振荡电路单元 1460SLCP、静电放电二极管 PDIO、第二  $n$  级叠置的电感电容式振荡电路单元 1460SLCN 以及静电放电二极管 NDIO。每一个叠置的电感电容式振荡电路单元包括至少两个串联叠置在一起的电感电容式振荡电路。上述二极管 PDIO 包括一个与静电放电箝位电路 1450 的第一端 A 耦合的阴极端以及一个与第一  $n$  级叠置的电感电容式振荡电路单元 1460SLCP 耦合的阳极端。上述二极管 NDIO 包括一个与第二  $n$  级叠置的电感电容式振荡电路单元 1460SLCN 耦合的阴极端以及一个与静电放电箝位电路 1450 的第二端 B 耦合的阳极端。一个位于射频电路 1410 与射频输入引脚 1440 之间的端 C 同时连接至第一  $n$  级叠置的电感电容式振荡电路单元 1460SLCP 及第二  $n$  级叠置的电感电容式振荡电路单元 1460SLCN。

如图 15 所示的另一实施例之中,提供一种具有串列叠置的  $n$  级电感电容式振荡电路的电感电容式振荡电路结构以便在谐振下产生更高的阻抗。与图 14 的元件相比较,在该另外的设计当中,第一  $n$  级叠置的电感电容式振荡电路单元 1560SLCP 与 PDIO 二极管的位置交换,而第二  $n$  级叠置的电感电容式振荡电路单元 1560SLCN 与 NDIO 二极管的位置也交换。图 15 表示具有一个利用电感电容式振荡电路结构 1560 叠置而成的静电放电防护电路的射频电路元件 1500,其中考虑芯片上所实施的电感器及电容器的寄生效应。与图 14 的元件相比较,在该另外的设计当中,第一  $n$  级叠置的电感电容式振荡电路单元 1560SLCP 与 PDIO 二极管的位置交换,而第二  $n$  级叠置的电感电容式振荡电路单元 1560SLCN 与 NDIO 二极管的位置也交换。于图 15,上述射频电路元件 1500 包括一个具有 VDD 电压射频引脚 1520、VSS 射频引脚 1530 以及射频输入引脚 1540 的射频电路 1510。在射频电路 1510 与射频输入引脚 1540 之间是上述静电放电防护电路。上述静电放电防护电路包括  $V_{DD}$ -至- $V_{SS}$  电源线箝位电路 1550 以及电感电容式振荡电路结构 1560。电感电容式振荡电路结构 1560 包括串联连接的第一  $n$  级叠置的电感电容式振荡电路单元 1560SLCP 以及第二  $n$  级叠置的电感电容式振荡电路单元 1560SLCN。每一个叠置的电感电容式振荡电路单元包括至少两个串列叠置在一起的电感电容式振荡电路。

具有叠置的电感电容式振荡电路及二极管(静电放电单元)结构的静电放电防护电路

另一实施例应用将电感电容式振荡电路并入静电放电保护元件的原理以及叠置的静电放电元件减少寄生电容的事实，以产生静电放电保护元件的设计，其方式为叠置相似的静电放电单元(如图 16 所示的 ESD BLOCK P1 及 ESD BLOCK N1)，在此称为“叠置的静电放电单元结构”。利用这些设计，叠置的电感电容式振荡电路可降低受到叠置的静电放电二极管影响的功率增益损耗。通过将上述静电放电防护电路导入射频电路可明显地降低总功率增益的损耗。

图 16 表示利用叠置的静电放电单元结构 1660 叠置而成的静电放电防护电路。于图 16，射频电路元件 1600 包括一个具有 VDD 电压射频引脚 1620、VSS 射频引脚 1630 以及射频输入引脚 1640 的射频电路 1610。在射频电路 1610 与射频输入引脚 1640 之间是上述静电放电防护电路。上述静电放电防护电路包括  $V_{DD}$ -至- $V_{SS}$  电源线箝位电路 1650 以及叠置的静电放电单元结构 1660。叠置的静电放电单元结构 1660 包括在静电放电箝位电路 1650 与一个位于射频电路 1610 与射频输入引脚 1640 之间的端 C 之间的两部分。

于第一部分之中，第一静电放电单元 ESD BLOCK P1、电感电容式振荡电路 LC1 以及静电放电二极管 PD10 串联连接。第一静电放电单元 ESD BLOCK P1 的一端与静电放电箝位电路 1650 的第一端 A 连接，并且第一静电放电单元 ESD BLOCK P1 的另一端与二极管 PD10 的阴极端连接。二极管 PD10 的阳极端与电感电容式振荡电路 LC1 连接。在电感电容式振荡电路 LC1 上与连接至二极管 PD10 的一端相对的另一端与端 C 连接。于第二部分之中，第二静电放电单元 ESD BLOCK N1、电感电容式振荡电路 LC2 以及静电放电二极管 ND10 串联连接。第二静电放电单元 ESD BLOCK N1 的一端与静电放电箝位电路 1650 的第二端 B 连接，并且第二静电放电单元 ESD BLOCK N1 的另一端与二极管 ND10 的阳极端连接。二极管 ND10 的阴极端与电感电容式振荡电路 LC2 连接。在电感电容式振荡电路 LC2 上与连接至二极管 ND10 的一端相对的另一端与端 C 连接。

为了避免上述二极管于 PS 模式及 ND 模式静电放电期间在击穿情况下操作，而导致较低的静电放电保护电平，因此将在上述静电放电保护电路之中构成一个位于电源线之间且能够快速导通的  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1650。这将明显地增加整个静电放电保护能力，同时降低静电放电防护电路的功率增益损耗。

当上述四种静电放电模式其中的一施加在上述射频输入引脚时, 上述 NDIO 二极管或上述 PDIO 二极管将在正向偏压情况下操作并连同上述电感器排放静电放电电流。与在反向偏压击穿情况下操作的二极管相比较, 在正向偏压情况下操作的二极管能够承受非常高的静电放电电平。当 PS 模式或 ND 模式静电放电施加在射频输入引脚 1640 时将导通  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1650。因为处于 PS 模式静电放电的 NDIO 二极管并未在击穿情况下操作, 所以将经由正向偏压的 PDIO 二极管以及位于  $V_{DD}/V_{SS}$  电源线之间且已导通的  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1650 来旁通静电放电电流。同样地, 上述 NDIO 二极管及电感器在正向偏压情况下操作并连同位于  $V_{DD}/V_{SS}$  电源线之间的  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1650 安全地引导 ND 模式静电放电电流。上述  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1650 特别设计为具有较大元件尺寸以承受高电平静电放电。虽然大尺寸  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1650 具有大接面电容, 但是这电容并未有助于射频输入引脚 1640。通过应用这种静电放电保护设计, 上述射频输入引脚能够在上述四种静电放电模式(图 2)当中承受非常高电平的静电放电。因此, 通过插入上述电感电容式振荡电路能够明显地避免由上述静电放电保护元件的 PDIO 二极管及 NDIO 二极管至射频输入引脚 1640 所产生的负载电容。因此, 射频集成电路的效能将不致于明显地衰减。

图 17 显示通过叠置具有交换的电感电容式振荡电路及二极管的静电放电单元(ESD BLOCK P2 及 ESD BLOCK N2)来替换上述电路的设计。图 17 表示利用叠置的静电放电单元结构 1760 叠置而成的静电放电防护电路。于图 17, 射频电路元件 1700 包括一个具有 VDD 电压射频引脚 1720、VSS 射频引脚 1730 以及射频输入引脚 1740 的射频电路 1710。在射频电路 1710 与射频输入引脚 1740 之间是上述静电放电防护电路。上述静电放电防护电路包括  $V_{DD}$ -至- $V_{SS}$  电源线箝位电路 1750 以及叠置的静电放电单元结构 1760。叠置的静电放电单元结构 1760 包括两部分。于第一部分之中, 第一静电放电单元 ESD BLOCK P2、电感电容式振荡电路 LC1 以及静电放电二极管 PDIO 串联连接。于第二部分之中, 第二静电放电单元 ESD BLOCK N2、电感电容式振荡电路 LC2 以及静电放电二极管 NDIO 串联连接。每一个静电放电单元包括至少一个串联叠置在一起的电感电容式振荡电路及静电放电二极管。与图 16 的元件相比较, 在该另外的设计当中, 第一静电放电单元 ESD BLOCK P2 与 PDIO 二极管的位置交换, 而第二静电放电单元 ESD BLOCK N2 与 NDIO 二极管的位置也交换。



为了避免上述二极管于 PS 模式及 ND 模式静电放电期间在击穿情况下操作,而导致较低的静电放电保护电平,因此将在上述静电放电保护电路之中构成一个位于电源线之间且能够快速导通的  $V_{DD}$ -至- $V_{SS}$  静电放电箝位电路 1750。这将明显地增加整个静电放电保护同时降低静电放电防护电路的功率增益损耗。

上述具有电感电容式振荡电路的静电放电防护电路是由两部分所构成。第一部分是静电放电元件于输入/输出端口的实施。另一部分则是电感电容式振荡电路。关于静电放电元件,由于需要最小化射频集成电路的寄生电容,因此本发明所使用的静电放电元件必须具有高静电放电电平与小布局面积。STI 二极管与硅控整流器 (SCR) 是这种静电放电元件的范例。关于电感电容式振荡电路,电感器已经能够实施于芯片上。对于互补金属氧化物半导体 (CMOS) 技术,芯片上的电感器具有低 Q 值,这将导致实际的电感电容谐振情况恶化。然而,有另外的高 Q 值电感器与搭接线电感器将可限制这种恶化情形。本发明所使用的电容器可能是金属中的金属或金属氧化物半导体 (MOS) 电容器。

综上所述,虽然本发明已以一较佳实施例公开如上,然其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围的情况下,可进行各种更动与修改,因此本发明的保护范围当视所提出的权利要求限定的范围为准。

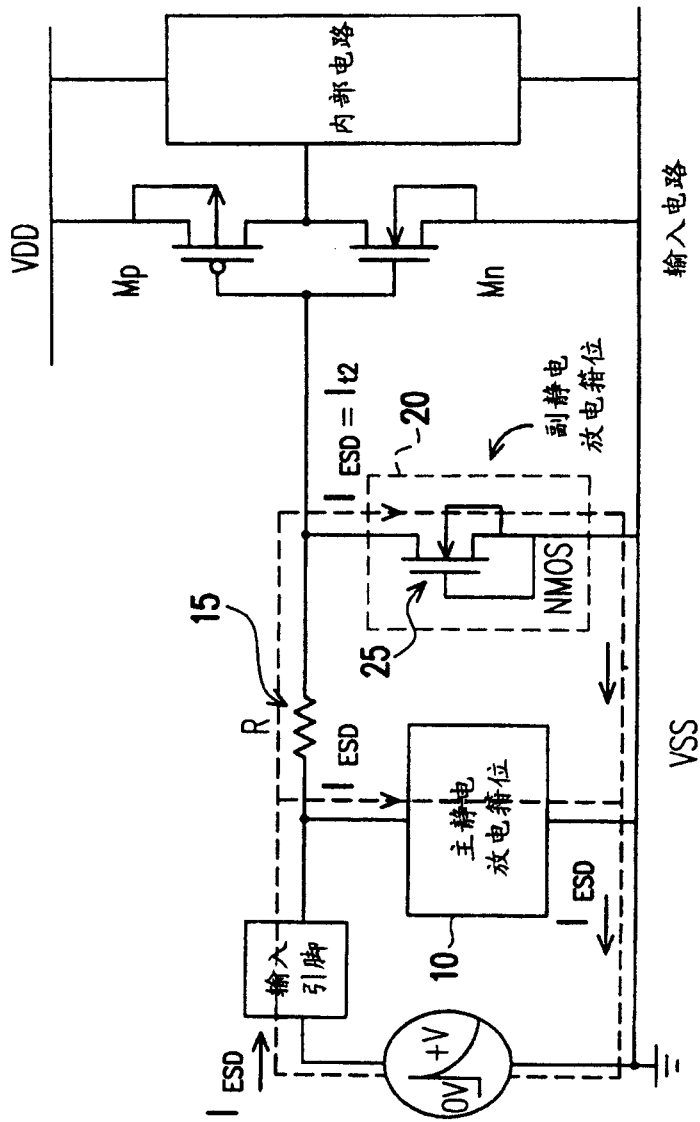


图 1

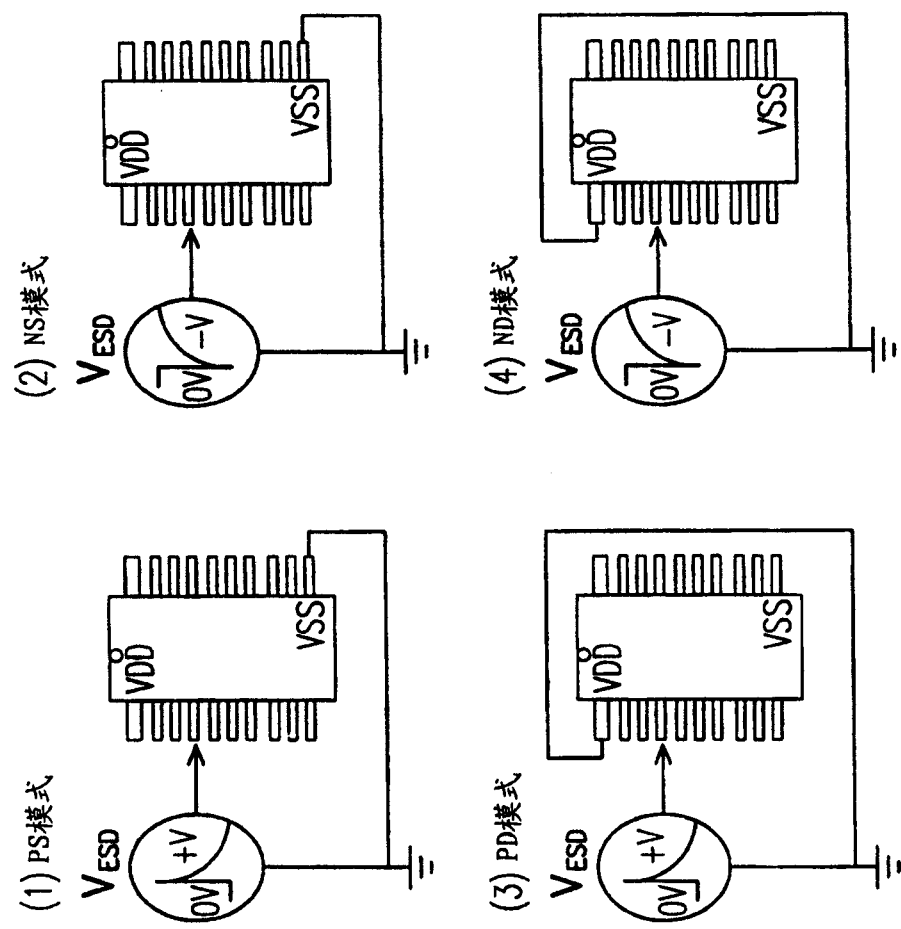


图 2

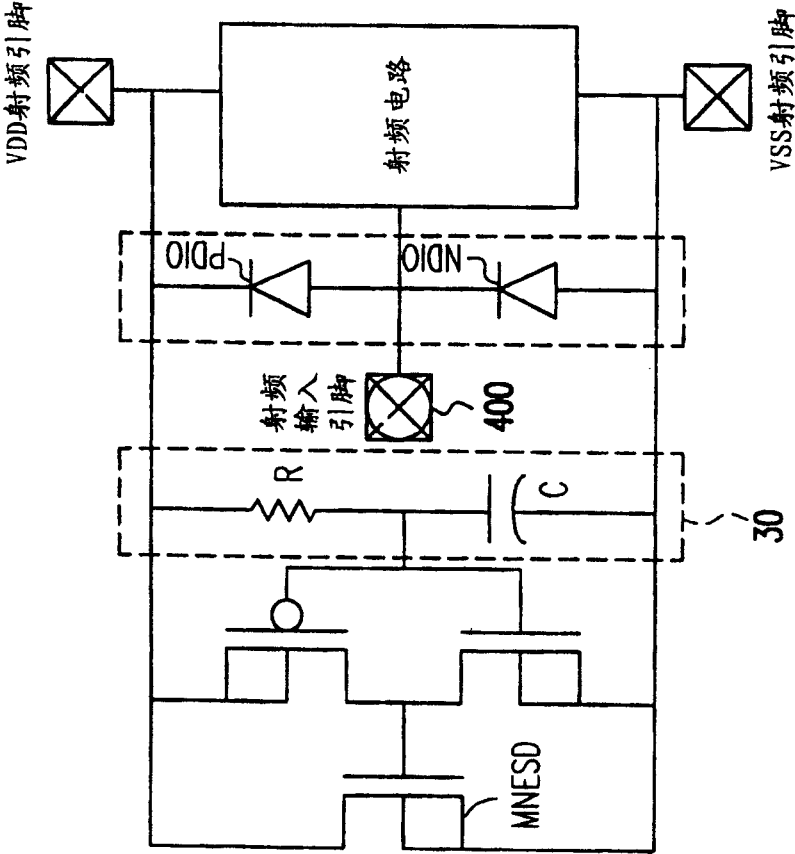


图 3



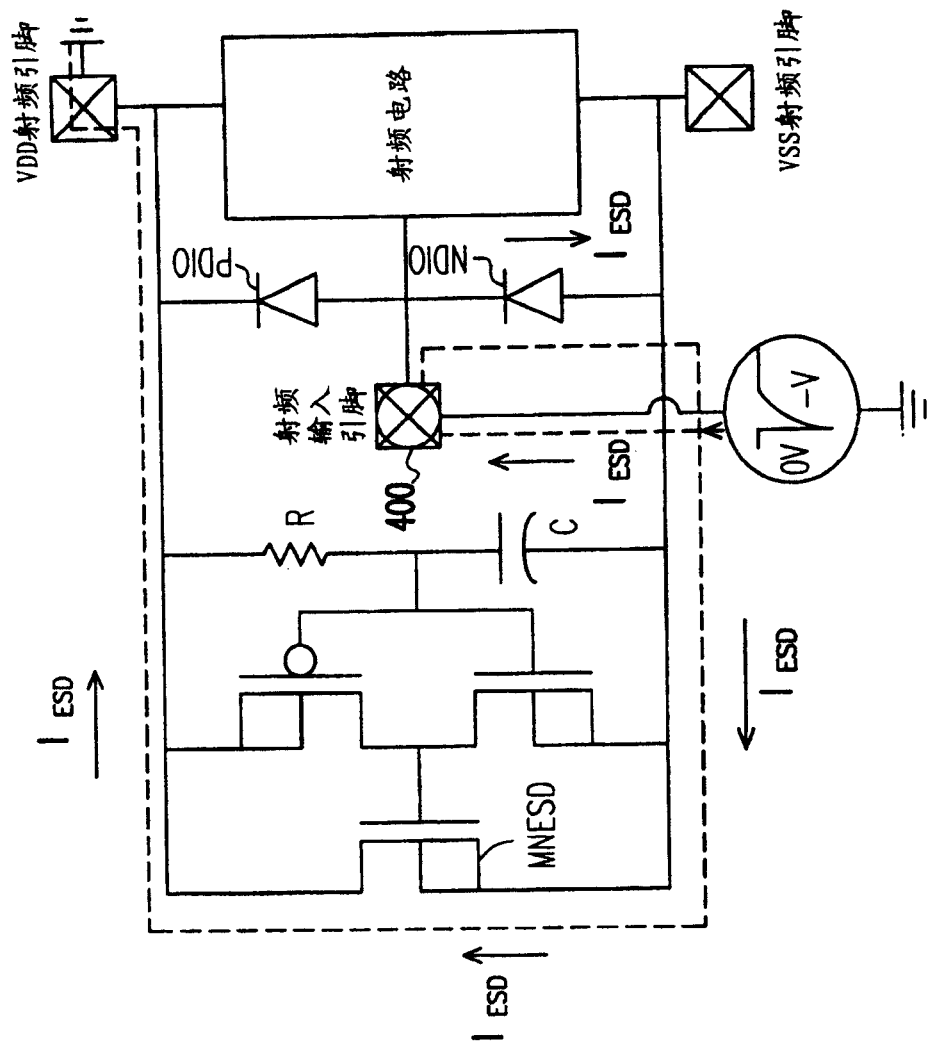


图 5

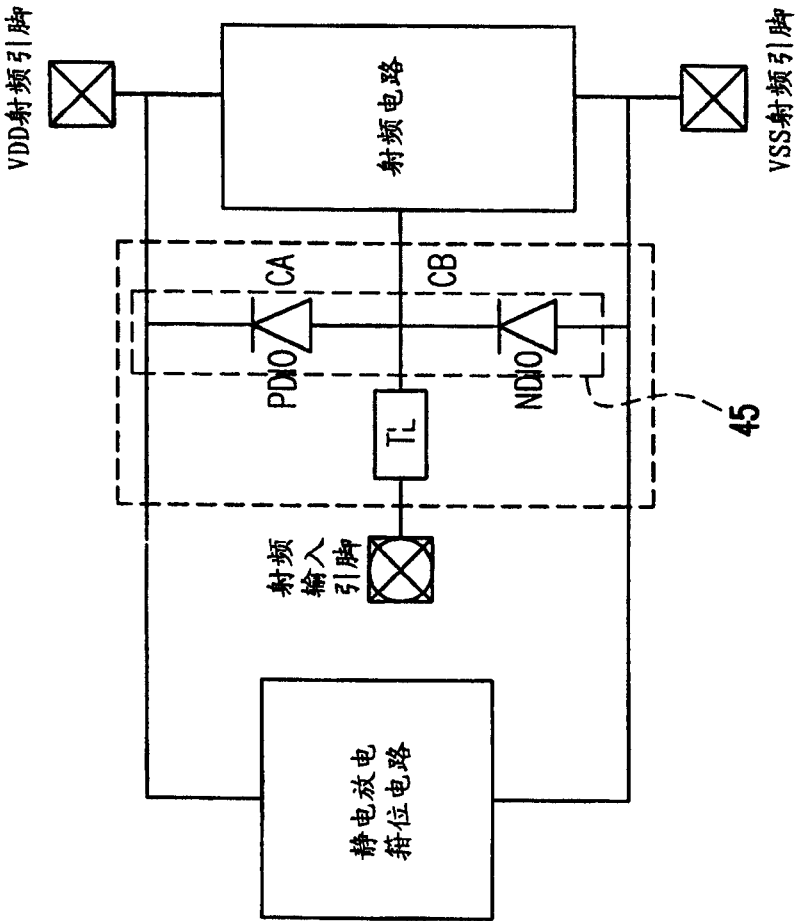


图 6

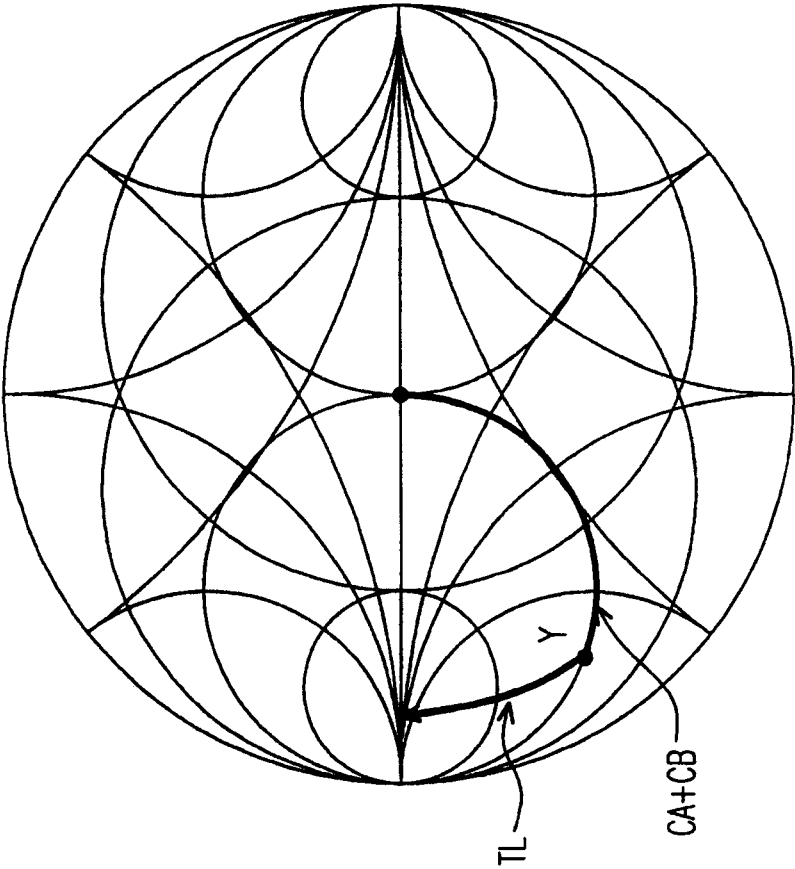


图 7



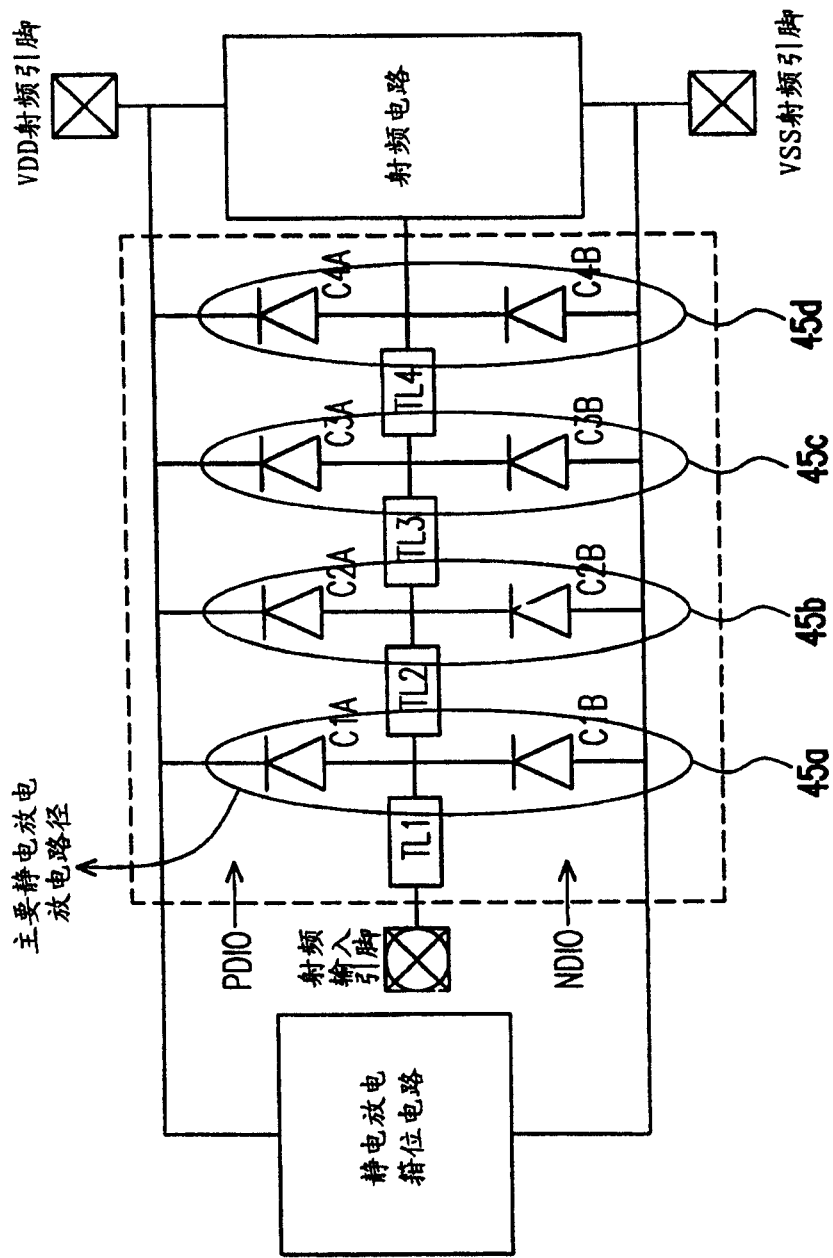


图 8

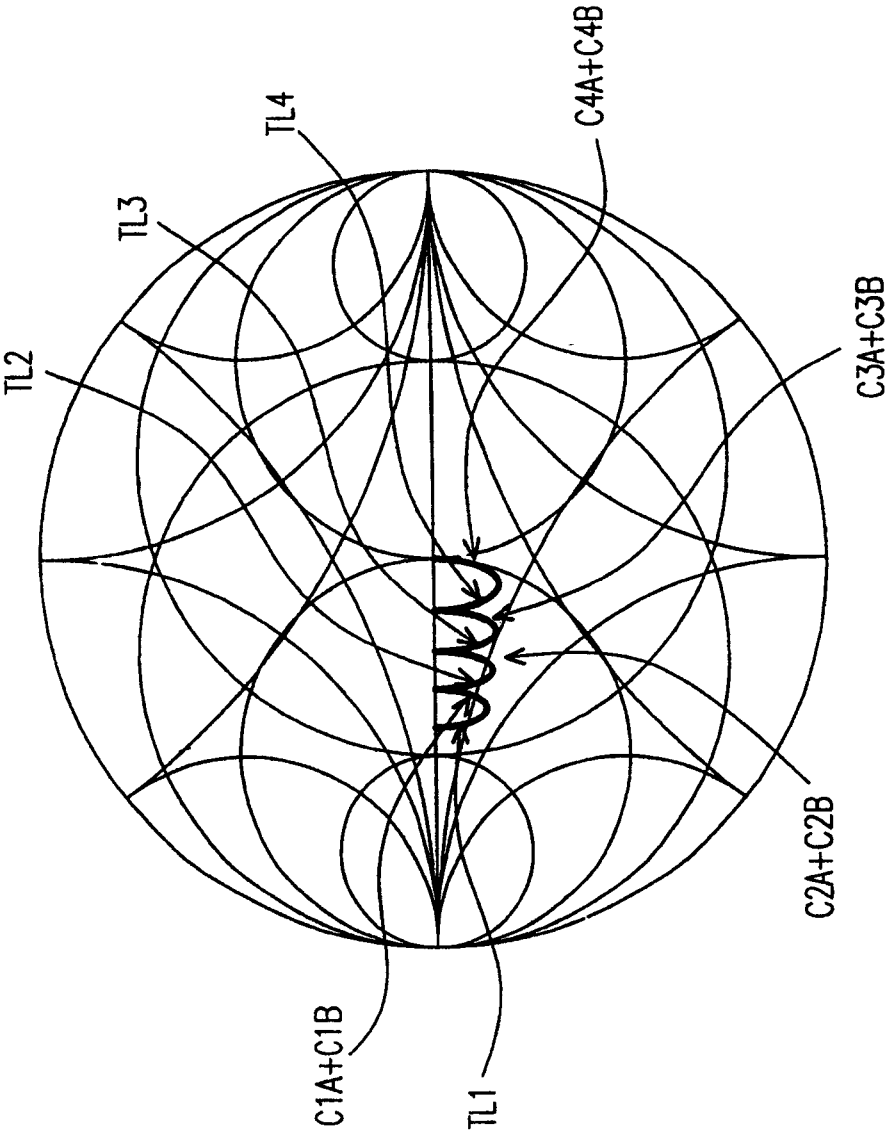


图 9



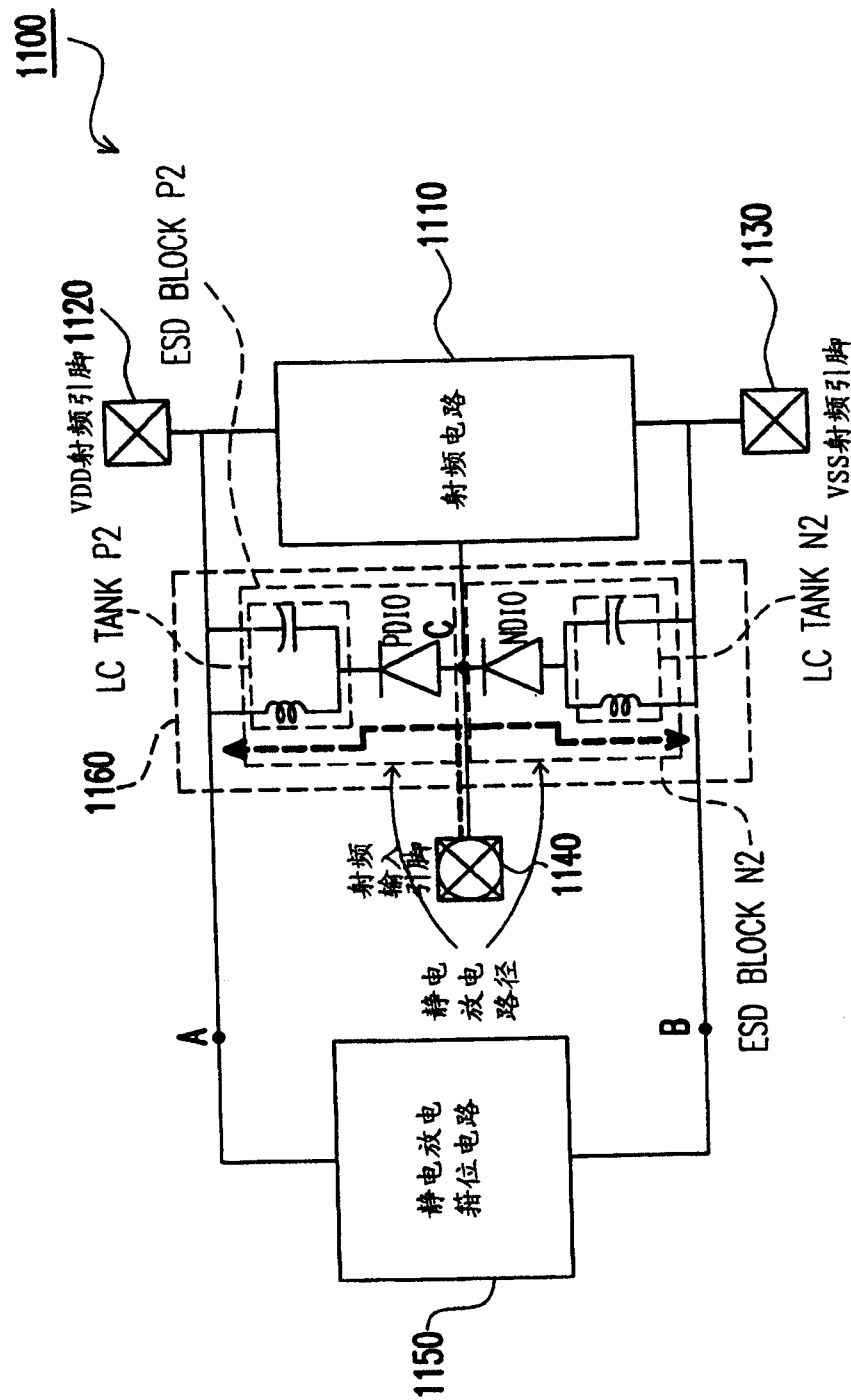


图 11

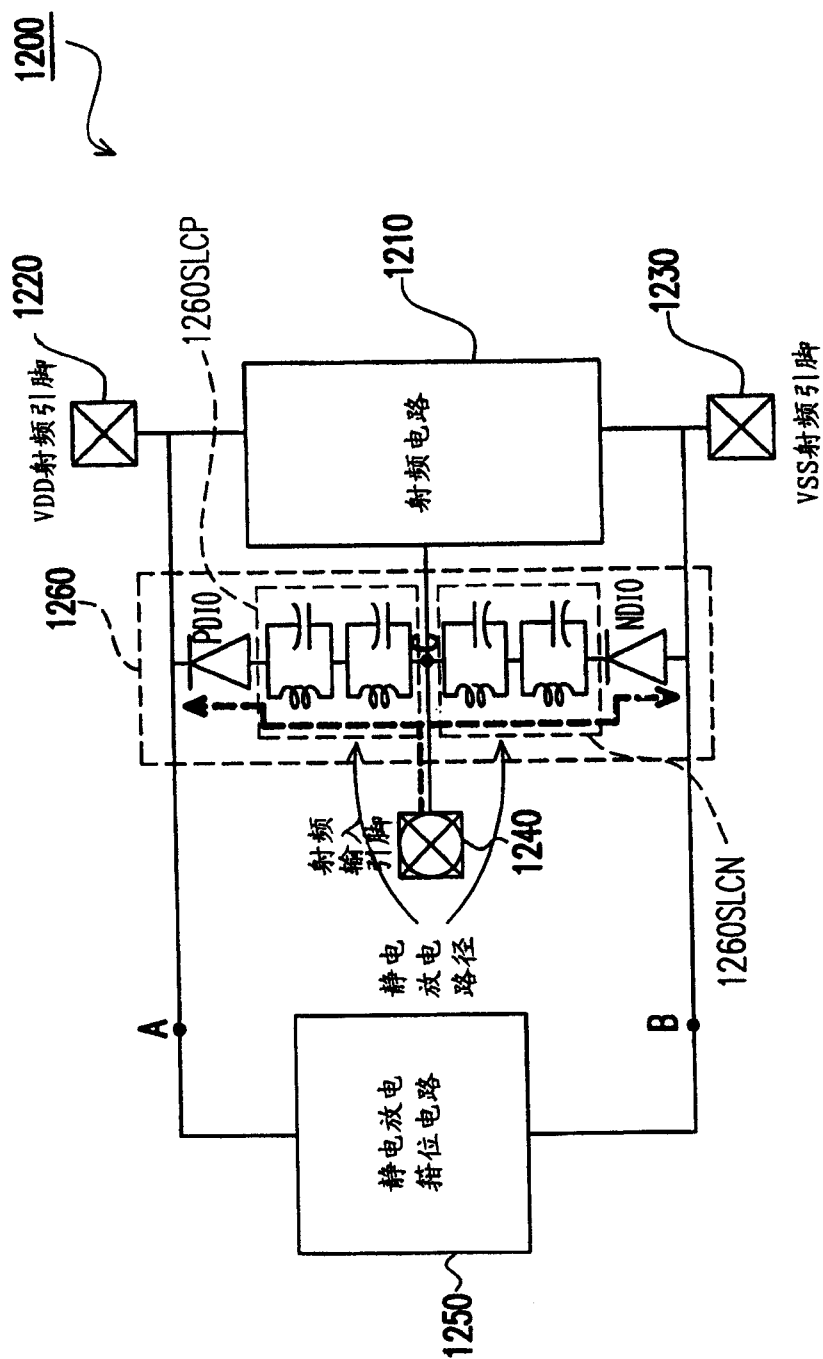
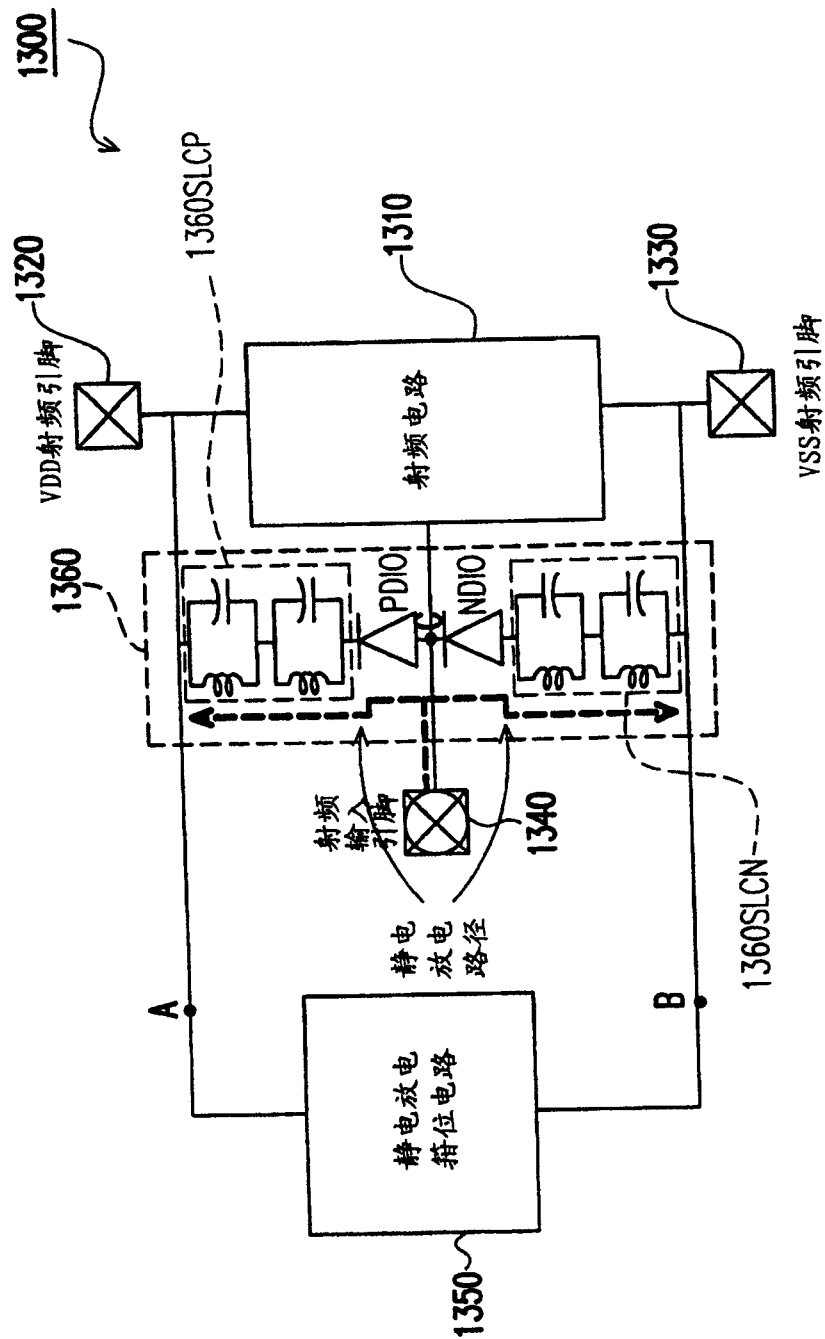


圖 12



13

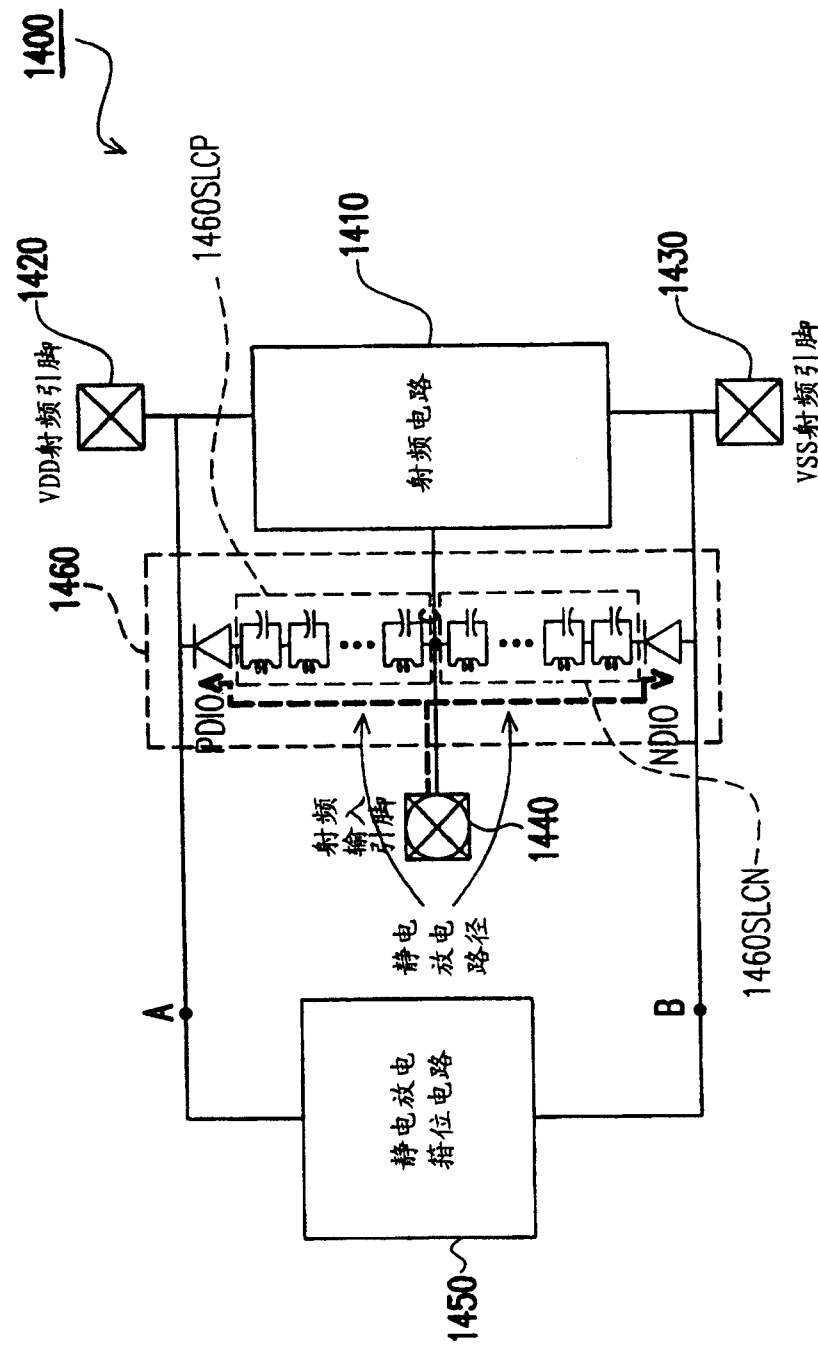


图 14

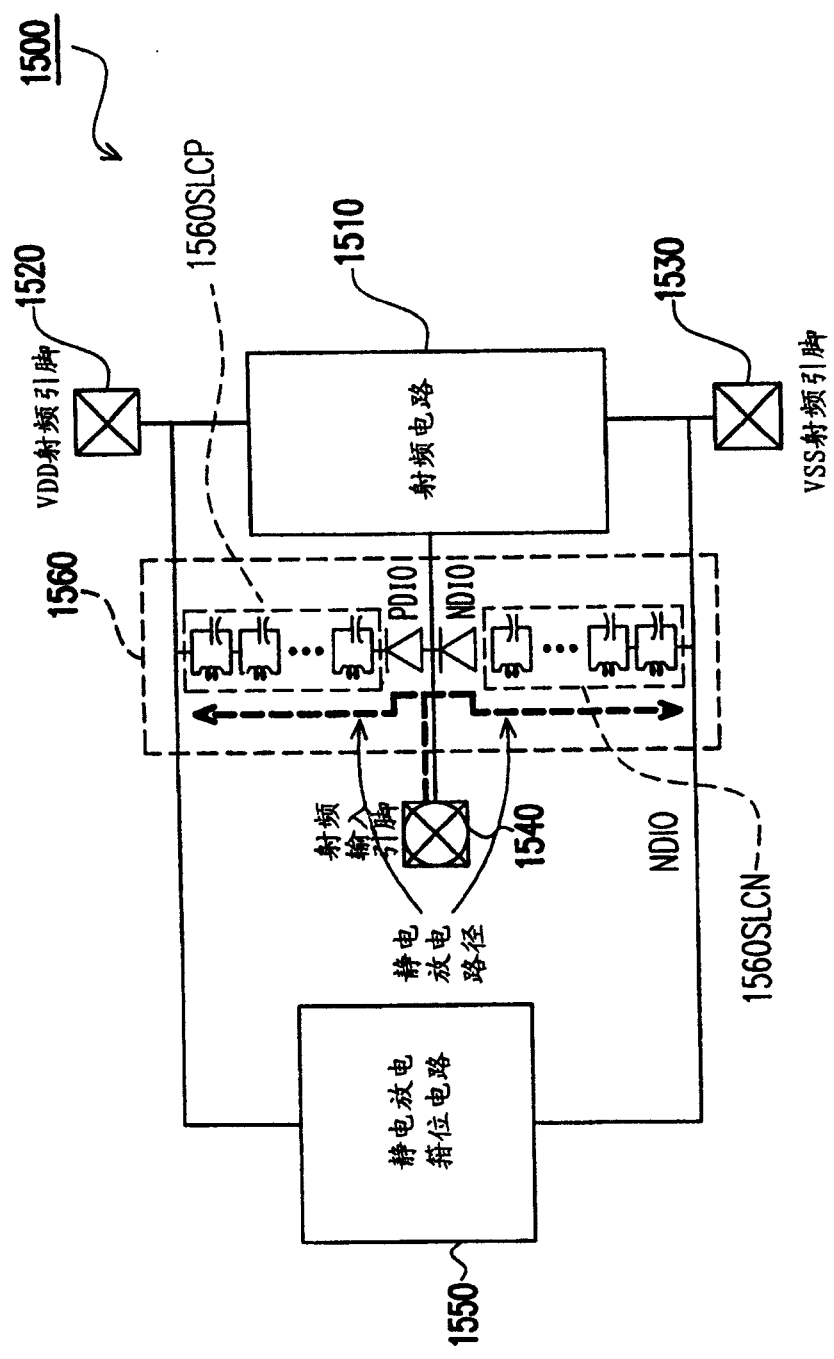


图 15



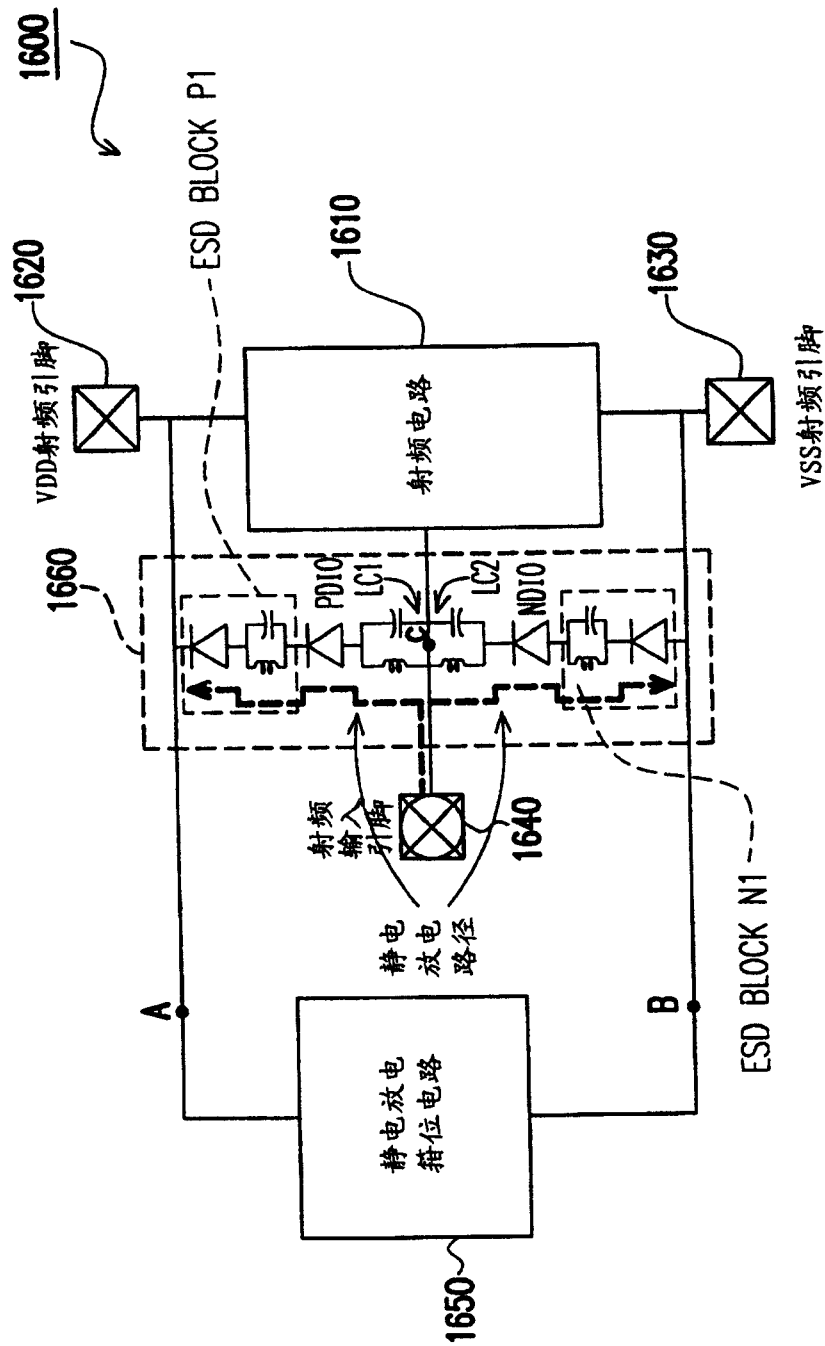
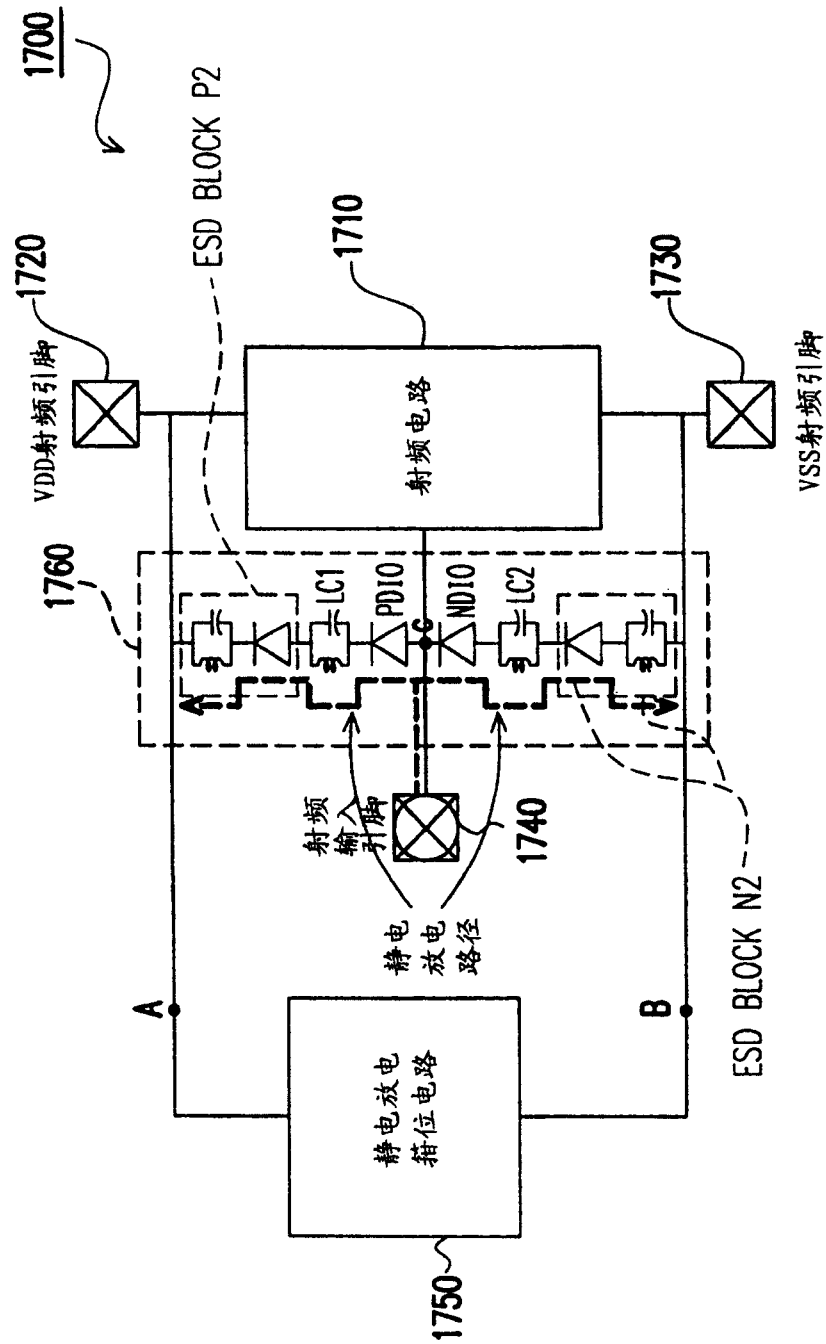


图 16



17